

# EUROPEAN PATENT OFFICE

## Patent Abstracts of Japan

PUBLICATION NUMBER : 2001219282  
PUBLICATION DATE : 14-08-01

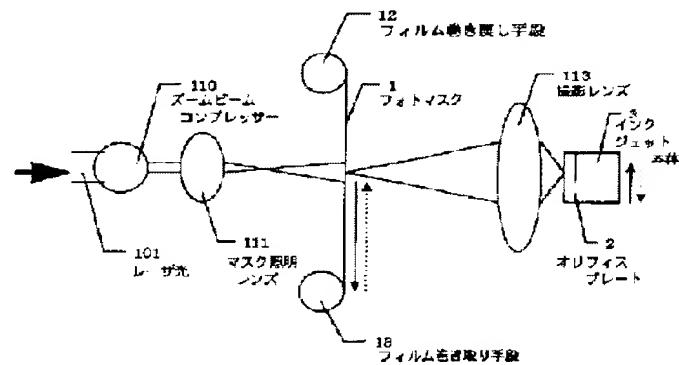
APPLICATION DATE : 22-06-00  
APPLICATION NUMBER : 2000188333

APPLICANT : CANON INC;

INVENTOR : KOIDE JUN;

INT.CL. : B23K 26/00 B23K 26/06 B41J 2/16  
B81C 5/00 // B23K101:36

TITLE : LASER BEAM MACHINING METHOD,  
MANUFACTURING METHOD OF INK  
JET RECORDING HEAD USING LASER  
BEAM MACHINING METHOD, INK JET  
RECORDING HEAD MANUFACTURED  
BY MANUFACTURING METHOD



ABSTRACT : PROBLEM TO BE SOLVED: To provide a laser beam machining process capable of not generating a byproduct, machining in high precision/fineness, suppressing specter interference in mask projecting, precisely machining a fine mask pattern and projecting/irradiating a large scale area pattern, a manufacturing method of an ink jet recording head by using the laser beam machining method and the ink jet recording head manufactured by the manufacturing method.

SOLUTION: By using a femto-second laser beam and scanning/irradiating a mask pattern while not synchronizing with laser beam oscillation, the integrated image of a specter interference image, which is generated by the beam diffraction when the laser beam passes the mask pattern, is formed, thus, sublimating work is conducted, or by synchronizing with the movement of the pattern image, sublimating work is conducted by moving the material to be worked.

COPYRIGHT: (C)2001,JPO



DIALOG(R)File 351:Derwent WPI  
(c) 2000 Derwent Info Ltd. All rts. reserv.

013379669 \*\*Image available\*\*

WPI Acc No: 2000-551607/200051

XRAM Acc No: C00-164740

XRPX Acc No: N00-408157

**Semiconductor device manufacture method involves performing isotropic etching of silicon oxide films, so as to form through hole**

Patent Assignee: SEIKO EPSON CORP (SHIH )

Number of Countries: 001 Number of Patents: 001

Patent Family:

Patent No	Kind	Date	Applicat No	Kind	Date	Week
JP 2000188333	A	20000704	JP 98365193	A	19981222	200051 B

Priority Applications (No Type Date): JP 98365193 A 19981222

Patent Details:

Patent No	Kind	Lan	Pg	Main IPC	Filing Notes
JP 2000188333	A	13		H01L-021/768	

Abstract (Basic): **JP 2000188333 A**

NOVELTY - A silicon oxide film (42) is formed by reacting SiH4 and H2O2, by CVD method. An insulation film is formed by reacting silicon compound and a compound containing oxygen. A porous silicon oxide film is formed over the film (42). Isotropic etching of the silicon oxide films, is performed, so as to form a through hole.

DETAILED DESCRIPTION - An INDEPENDENT CLAIM is also included for semiconductor device.

USE - For semiconductor device manufacture.

ADVANTAGE - Raises quality and yield by increasing process margin of wiring layer.

DESCRIPTION OF DRAWING(S) - The figure shows the cross sectional view of semiconductor device manufacturing process.

Silicon oxide film (42)

pp; 13 DwgNo 3/11

Title Terms: SEMICONDUCTOR; DEVICE; MANUFACTURE; METHOD; PERFORMANCE; ISOTROPIC; ETCH; SILICON; OXIDE; FILM; SO; FORM; THROUGH; HOLE

Derwent Class: L03; U11

International Patent Class (Main): H01L-021/768

International Patent Class (Additional): H01L-021/316

File Segment: CPI; EPI

Manual Codes (CPI/A-N): L04-C01B; L04-C07; L04-C12A; L04-C13A

Manual Codes (EPI/S-X): U11-C05B2; U11-C05B7; U11-C05D; U11-C05G2C; U11-C07C3



(19) 日本国特許庁 (JP)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開2000-188333

(P2000-188333A)

(43) 公開日 平成12年7月4日 (2000.7.4)

(51) Int.Cl.

H 01 L 21/768

21/316

識別記号

F 1

H 01 L 21/90

21/316

21/90

マークド (参考)

M 5 F 0 3 3

M 5 F 0 5 8

X

P

審査請求 未請求 請求項の数19 O.L. (全13頁)

(21) 出願番号

特願平10-365193

(22) 出願日

平成10年12月22日 (1998.12.22)

(71) 出願人 000002369

セイコーエプソン株式会社

東京都新宿区西新宿2丁目4番1号

(72) 発明者 両角 幸男

長野県諏訪市大和3丁目3番5号 セイコ

ー エプソン株式会社内

(74) 代理人 100090479

弁理士 井上 一 (外2名)

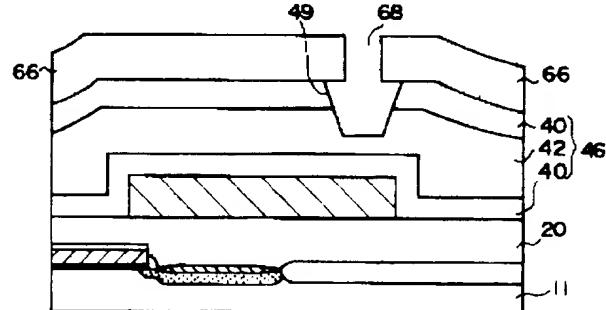
最終頁に続く

(54) 【発明の名称】 半導体装置及びその製造方法

(57) 【要約】

【課題】 等方性エッチングの自由度を増加させることができる半導体装置の製造方法を提供する。

【解決手段】 SiH<sub>4</sub>およびH<sub>2</sub>O<sub>2</sub>をCVD法により反応させることにより、第1のシリコン酸化膜42を形成している。第1のシリコン酸化膜42の等方性エッチングの速度は、第2のシリコン酸化膜44(キャップ層)とそれと同じ又はほぼ同じである。このため、第1のシリコン酸化膜も等方性エッチングをすることができる。よって、等方性エッチングの自由度を増加させることができる。



## 【特許請求の範囲】

【請求項1】 主表面を有する半導体基板と、前記主表面上に位置するスルーホールを有する層間絶縁膜と、を備えた前記スルーホールは、上面部と、下面部と、前記上面部と前記下面部とに挟まれた内壁と、を含む、半導体装置の製造方法であって、以下の工程を含む。

(a) シリコン化合物と過酸化水素とをCVD法によって反応させて、前記層間絶縁膜を構成する第1のシリコン酸化膜を形成する工程。

(b) シリコン化合物と、酸素および酸素を含む化合物の少なくとも1種と、をCVD法によって反応させて、前記層間絶縁膜を構成し、かつ、キャップ層となる多孔性の第2のシリコン酸化膜を、前記第1のシリコン酸化膜上に形成する工程。

(c) 前記第1のシリコン酸化膜及び前記第2のシリコン酸化膜を、選択的に等方性エッチャングし、前記上面部から前記下面部に向かうにつれて、前記スルーホールが小さくなるテーパ部を有する前記内壁を含む前記スルーホールを形成する工程。

【請求項2】 請求項1において、前記工程(b)と前記工程(c)との間に、前記層間絶縁膜を350～500°Cでアーモルする工程を含む、半導体装置の製造方法。

【請求項3】 請求項1又は2において、前記層間絶縁膜は、前記第1のシリコン酸化膜下に位置し、ベース層となる第3のシリコン酸化膜を含み、前記工程(a)の前に、シリコン化合物と、酸素および酸素を含む化合物の少なくとも1種と、をCVD法によって反応させて、前記第3のシリコン酸化膜を形成する工程を含む、半導体装置の製造方法。

【請求項4】 請求項1、2又は3において、前記スルーホールは、下部と、その上に位置し、前記テーパ部を含む上部と、から構成され、

前記工程(c)は、前記第1のシリコン酸化膜及び前記第2のシリコン酸化膜を、選択的に等方性エッチャングし、前記上部を形成する工程と、前記上部の下に位置する前記層間絶縁膜を、選択的に異方性エッチャングし、前記下部を形成する工程と、を含む、半導体装置の製造方法。

【請求項5】 請求項1、2、3又は4において、前記層間絶縁膜上には、配線が形成されており、前記工程(c)の後に、前記スルーホールの表面及び前記層間絶縁膜の表面に、前記配線の一部となるバリア層を形成する工程と、前記バリア層の表面に前記配線の一部となる導電膜を形成する工程と、を含む、半導体装置の製造方法。

【請求項6】 請求項5において、

前記導電膜は、200°C以下の温度で、アルミニウムあるいはアルミニウムを主成分とする合金からなる第1のアルミニウム膜を形成し、その後、300～400°Cの温度で、アルミニウムあるいはアルミニウムを主成分とする合金からなる第2のアルミニウム膜を形成する、半導体装置の製造方法。

【請求項7】 請求項1、2、3、4、5又は6において、

前記工程(a)で用いられる前記シリコン化合物は、モノシラン、ジシラン、SiH<sub>2</sub>Cl<sub>2</sub>、SiF<sub>4</sub>などの無機シラン化合物、およびH<sub>2</sub>SiH<sub>3</sub>、ジメチルシラン、トリフルオロシラン、テトラエトキシシランなどの有機シラン化合物から選択される少なくとも1種である、半導体装置の製造方法。

【請求項8】 請求項7において、

前記工程(a)は、前記シリコン化合物が無機シラン化合物であって、0～20°Cの温度条件下で減圧CVD法によって行われる、半導体装置の製造方法。

【請求項9】 請求項7において、

前記工程(a)は、前記シリコン化合物が有機シラン化合物であって、0～150°Cの温度条件下で減圧CVD法によって行われる、半導体装置の製造方法。

【請求項10】 請求項1、2、3、4、5、6、7、8又は9において、

前記工程(b)は、300～450°Cの温度条件下でプラズマCVD法によって行われる、半導体装置の製造方法。

【請求項11】 請求項10において、

前記工程(b)で用いられる前記酸素を含む化合物は一酸化二窒素である、半導体装置の製造方法。

【請求項12】 請求項1、2、3、4、5、6、7、8又は9において、前記工程(b)は、300～550°Cの温度条件下で常圧CVD法によって行われる、半導体装置の製造方法。

【請求項13】 請求項12において、

前記工程(b)で用いられる前記酸素を含む化合物はオゾンである、半導体装置の製造方法。

【請求項14】 請求項1、2、3、4、5、6、7、8、9、10、11、12又は13において、

前記工程(b)で、前記第2のシリコン酸化膜を成膜する前に、前記第1のシリコン酸化膜をオゾン雰囲気にさらす、半導体装置の製造方法。

【請求項15】 主表面を有する半導体基板と、前記主表面上に位置する層間絶縁膜と、を備えた半導体装置であって、

前記層間絶縁膜は、

シリコン化合物と過酸化水素との重結合反応によって形成された第1のシリコン酸化膜と、

前記第1のシリコン酸化膜上に位置し、キャップ層を構成する第2のシリコン酸化膜と、を含み、

前記層間絶縁膜は、前記第1のシリコン酸化膜及び前記第2のシリコン酸化膜に形成され、上面部と下面部と、前記上面部と前記下面部とで挟まれた内壁と、を有するスルーホールを含み、

前記内壁は、前記上面部から前記下面部に向かうにつれて、前記スルーホールが小さくなるテーパ部を有する、半導体装置。

【請求項16】 請求項15において、

前記層間絶縁膜は、前記第1のシリコン酸化膜下に位置し、ベース層を構成する第3のシリコン酸化膜を含む、半導体装置。

【請求項17】 請求項15又は16において、

前記スルーホールは、下部と、その上に位置し、前記テーパ部を含む上部と、から構成される、半導体装置。

【請求項18】 請求項15～16又は17において、前記層間絶縁膜上に形成された配線を含み、

前記配線は、

前記スルーホールの表面及び前記層間絶縁膜の表面に形成されたバリア層と、前記バリア層の表面に形成された導電膜と、

を含む、半導体装置。

【請求項19】 請求項18において、

前記導電膜は、アルミニウム又はアルミニウムを主成分とする、半導体装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】 本発明は、半導体装置およびその製造方法に関する。

【0002】

【背景技術及び発明が解決しようとする課題】 半導体装置の作製に使われる層間絶縁膜は、複数の膜から構成されていることがある。このような層間絶縁膜は、特開平4-218947号公報等に開示されている。例えば、シリコン酸化膜からなるベース層と、ベース層上に位置するSOG膜と、SOG膜上に位置するシリコン酸化膜からなるキャップ層と、から構成される層間絶縁膜がある。この層間絶縁膜に形成されるスルーホールの内壁が、テーパ部を有するようにされることがある。スルーホールに充填される導電膜のカバレッジを良好にするためである。

【0003】 このような形状のスルーホールの形成方法としては、まず、層間絶縁膜を選択的に等方性エッチングし、このエッチングを途中で止める。等方性エッチングなので、層間絶縁膜は縦方向の他、横方向も削られる。スルーホールの上面部にいくほど、横方向に削られる量が多くなる。よって、テーパ部を有する内壁となる。次に、異方性エッチングに切り替え、残りの層間絶縁膜を選択的にエッチングする。以上の工程により、スルーホールが完成する。

【0004】 ところで、SOG膜のエッチング速度は、

キャップ層のそれよりかなり大きい。このため、SOG膜まで等方性エッチングすると、SOG膜の横方向が過剰にエッチングされ、これにより、スルーホールの内壁に凹部ができる。

【0005】 以上の理由により、等方性エッチングはキャップ層で止めていた。このため、等方性エッチングの自由度が低かった。したがって、例えば、アスペクト比が大きいスルーホールの場合、スルーホールに導電膜が埋め込まれないことが発生した。

【0006】 本発明の目的は、等方性エッチングの自由度が増加する半導体装置の製造方法及びその方法により製造された半導体装置を提供することである。

【0007】

【課題を解決するための手段】 本発明は、主表面を有する半導体基板と、主表面上に位置し、スルーホールを有する層間絶縁膜と、を備え、スルーホールは、上面部と、下面部と、上面部と下面部とで挟まれた内壁と、を含む、半導体装置の製造方法であって、以下の工程を含む。

【0008】 (a) シリコン化合物と過酸化水素とをCVD法によって反応させて、層間絶縁膜を構成する第1のシリコン酸化膜を形成する工程、(b) シリコン化合物と、酸素および酸素を含む化合物の少なくとも1種と、をCVD法によって反応させて、層間絶縁膜を構成し、かつキャップ層となる多孔性の第2のシリコン酸化膜を、第1のシリコン酸化膜上に形成する工程、(c) 第1のシリコン酸化膜及び第2のシリコン酸化膜を、選択的に等方性エッチングし、上面部から下面部に向かうにつれて、スルーホールが小さくなるテーパ部を有する内壁を含むスルーホールを形成する工程。

【0009】 本発明の製造方法により作製される半導体装置は、主表面を有する半導体基板と、主表面上に位置する層間絶縁膜と、を備える。層間絶縁膜は、シリコン化合物と過酸化水素との重縮合反応によって形成された第1のシリコン酸化膜と、第1のシリコン酸化膜の上に位置し、キャップ層を構成する第2のシリコン酸化膜と、を含む。層間絶縁膜は、第1のシリコン酸化膜及び第2のシリコン酸化膜に形成され、上面部と、下面部と、上面部と下面部とで挟まれた内壁と、を有するスルーホールを含む。内壁は、上面部から下面部に向かうにつれて、スルーホールが小さくなるテーパ部を有する。

【0010】 本発明の製造方法は、SOG膜のかわりに、工程(a)により第1のシリコン酸化膜を形成している。第1のシリコン酸化膜の等方性エッチングの速度は、第2のシリコン酸化膜の等方性エッチングの速度と同じ又はほぼ同じであるということが分かった。このため、第1のシリコン酸化膜も等方性エッチングをすることができる。よって、本発明の製造方法によれば、等方性エッチングの自由度を増加させることができる。

【0011】 第2のシリコン酸化膜の等方性エッチング

の速度は、第1のシリコン酸化膜の等方性エッチングの速度と同じ又はほぼ同じである必要がある。このような第1のシリコン酸化膜は、通常のCVD法、例えば、シリコン化合物の熱分解法、加熱分解法により形成される第1のシリコン酸化膜は、常に平坦である。この方法でCVD法又は減圧CVD法により形成される。

【0017】多孔性である第2のシリコン酸化膜には、シリコン上に孔を有する純物、好ましくはシリコン添加されるのがより好ましい。該膜を構成するシリコン酸化物のSi-Oの分子間結合力を弱めることで該膜の応力を緩和することができ、いわば適度に柔らかく、更に割れにくく層を構成できるからである。また、第2のシリコン酸化膜の重要な役割として、該シリコン酸化膜に含まれるリンなどの不純物がアルカリイオンなどの素子の信頼性に悪影響を及ぼす可動イオンのゲッターとしての機能がある。第2のシリコン酸化膜に含まれる不純物の濃度は、前述したダックリクリング機能や膜の応力緩和の点を考慮すると、好ましくは1～10重量%である。

【0018】また、第2のシリコン酸化膜は、第1のシリコン酸化膜の吸湿を防止する機能も有する。さらに、第2のシリコン酸化膜は、圧縮の内部応力を有する。したがって、層間絶縁膜を構成する他の膜が引っ張りの内部応力を有する場合、それを緩和し、層間絶縁膜にクラックが発生するのを防ぐことができる。

【0019】また、この第2のシリコン酸化膜を形成するときのプラズマCVD法は、300～450°Cの温度条件下で、高周波によって行われることが望ましい。第1のシリコン酸化膜中の水分の脱離効果があるからである。

【0020】第2のシリコン酸化膜を形成するときに用いられる酸素を含む化合物は、O<sub>2</sub>でもよいが、一酸化二窒素(N<sub>2</sub>O)であることが望ましい。反応ガスとして一酸化二窒素を用いることにより、プラズマ状態の一酸化二窒素は第1のシリコン酸化膜を構成するシリコン化合物の水素ボンド(-H)と反応しやすいので、第2のシリコン酸化膜を成膜中にも第1のシリコン酸化膜のガス化成分(水素、水)の脱離を促進することができる。

【0021】第2のシリコン酸化膜の形成は、プラズマCVD法の代わりに、300～500°Cの温度条件下で常圧CVD法によって行われてもよい。この場合、第2のシリコン酸化膜を形成するときに用いられる酸素を含む化合物はオゾンであることが望ましい。

【0022】さらに、第2のシリコン酸化膜を成膜する前に、第1のシリコン酸化膜をオゾン雰囲気にさらすことが望ましい。この工程を経ることにより、オゾンが第1のシリコン酸化膜を構成するシリコン化合物の水素ボンド(-H)や水酸基(-OH)と反応しやすいので、第1のシリコン酸化膜中の水素や水の脱離を促進することができる。

【0023】また、第2のシリコン酸化膜の膜厚は、平坦性、クラックの防止及び層間絶縁膜の厚みの点を考慮すると、好ましくは100nm以上である。

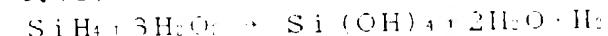
【0024】また、本発明の製造方法において、第1のシリコン酸化膜を、シリコン化合物と過酸化水素とを用いてCVD法によって反応させて形成している。これにより、平坦性の優れた層間絶縁膜を形成することができる。すなわち、本発明の製造方法により形成される第1のシリコン酸化膜は、それ自体高い流動性を有し、優れた自己平坦化特性を有する。そのメカニズムは、シリコン化合物と過酸化水素とをCVD法によって反応させると、気相中においてシラノールが形成され、このシラノールがウエハ表面に堆積することにより流動性のよい膜が形成されることによると考えられる。

【0025】例えば、シリコン化合物としてモノシランを用いた場合には、下記式(1)、(1)'などで示される反応でシラノールが形成される。

【0026】式(1)

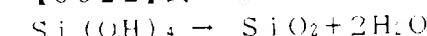


式(1)'



そして、式(1)、(1)'で形成されたシラノールは、下記式(2)で示される重縮合反応で水が脱離することにより、シリコン酸化物となる。

【0027】式(2)



上記シリコン化合物としては、例えばモノシラン、ジシラン、SiH<sub>2</sub>C<sub>1.5</sub>、SiF<sub>4</sub>などの無機シラン化合物、およびCH<sub>3</sub>SiH<sub>3</sub>、ジメチルシラン、トリフロビルシラン、テトラエトキシシランなどの有機シラン化合物などを例示することができる。

【0028】また、工程(a)は、上記シリコン化合物が無機シリコン化合物の場合には、0～20°Cの温度条件下で、上記シリコン化合物が有機シリコン化合物の場合には、0～150°Cの温度条件下で、減圧CVD法によって行われることが望ましい。この成膜工程で、温度が上記上限値より高いと、上記式(2)の重縮合反応が進みすぎることにより、第1のシリコン酸化膜の流動性が低くなり、良好な平坦性が得られにくい。また、温度が上記下限値より低いと、チャンバー内の分解水分の吸着およびチャンバー外での結露が発生し、成膜装置のコントロールが困難となる不都合がある。

【0029】本発明により形成される第1のシリコン酸化膜は、下地の段差を十分にカバーできる程度の膜厚で形成されることが望ましい。第1のシリコン酸化膜の膜厚は、その下限値は下地の凹凸の高さに依存するが、好ましくは300～1500nmである。第1のシリコン酸化膜の膜厚が上記上限値を超えると、膜自体のストレスでクラックを生ずることがある。

【0030】本発明の製造方法において、工程(b)と

工程(c)との間に、層間絶縁膜を350~500°Cでアニールする工程を含むのが好ましい。

【0026】層間絶縁膜が第1のシリコン酸化膜の下に位置する第2のシリコン酸化膜(ベース層)を含む構造の場合、本発明の製造方法は、以下の態様が好ましい。すなわち、工程(e)の前にシリコン化合物と酸素及び酸素を含む化合物の少なくとも一種と、を用いてVD法によって反応させて第3のシリコン酸化膜を形成する工程を含むのが好ましい。

【0027】このベース層は、ベース層の下の層(ベース層の下に層がない場合は、半導体基板の主表面)に第1のシリコン酸化膜から水分や余分な不純物が移動しないバッシャンペーン機能、およびベース層の下の層(ベース層の下に層がない場合は、半導体基板の主表面)と第1のシリコン酸化膜との密着性を高める機能を有する。

【0028】また、アルカリイオンに対するゲッタリング効果が必要な場合には、ベース層を構成する第3のシリコン酸化膜中にリンなどの不純物を1~6重量%添加する手段、あるいは第3のシリコン酸化膜と第1のシリコン酸化膜との間に、例えばリンを1~6重量%含むPSG膜を形成する手段を採用することができる。

【0029】本発明の製造方法において、工程(c)は、第1のシリコン酸化膜及び第2のシリコン酸化膜を、選択的に等方性エッチングし、テーパ部を含むスルーホールの上部を形成する工程と、上部の下に位置する層間絶縁膜を、選択的に異方性エッチングし、スルーホールの下部を形成する工程と、を含むのが好ましい。なお、スルーホールの上部は、第3のシリコン酸化膜に到達してもよいし、していないなくてもよい。すなわち、スルーホールの上部と下部との境が第3のシリコン酸化膜の形成位置にあってもよいし、第1のシリコン酸化膜の形成位置にあってもよいという意味である。

【0030】本発明の製造方法により製造される半導体装置の層間絶縁膜のスルーホールは、下部と、その上に位置し、テーパ部を含む上部と、から構成されている。

【0031】本発明の製造方法において、工程(c)の後に、スルーホールの表面及び層間絶縁膜の表面に、配線の一部となるバリア層を形成する工程と、バリア層の表面に配線の一部となる導電膜を形成する工程と、を含むのが好ましい。

【0032】本発明の製造方法により製造される半導体装置において、層間絶縁膜は、スルーホールを有する。この半導体装置は、さらに、スルーホールの表面及び層間絶縁膜の表面に形成され、配線の一部となるバリア層と、バリア層の表面に形成され、配線の一部となる導電膜と、を含む。

【0033】本発明の製造方法において、導電膜の形成工程は、以下の工程が好ましい。上記スルーホール内に、まず、200°C以下の温度で、アルミニウムあるいは

はアルミニウムを主成分とする合金からなる第1のアルミニウム膜を形成し、その後、300°C以上の温度で、アルミニウムあるいはアルミニウムを主成分とする合金からなる第2のアルミニウム膜を形成する。

【0034】上記アルミニウムを主成分とする合金としては、銅-シリコン、グルマニウム、マクネーワム、ユーパルト、ベリリウムなどから選択される少なくとも1種類の、3元あるいは3元以上の合金を例示することができる。

## 10 【0035】

### 【発明の実施の形態】【第1の実施の形態】

【構造の説明】図1は、本発明の第1の実施の形態に係る半導体装置の断面構造図である。第1の実施の形態に係る半導体装置の構造を簡単に説明する。シリコン基板11の主表面には、ゲート電極14を有するMOS電界効果トランジスタが形成されている。MOS電界効果トランジスタを覆うように、シリコン基板11の主表面上に層間絶縁膜20が形成されている。

【0036】層間絶縁膜20上には、第1の金属配線層38が形成されている。第1の金属配線層38を覆うように、層間絶縁膜20上に層間絶縁膜46が形成されている。層間絶縁膜46は、三層構造である。

【0037】すなわち、ベース層である第3のシリコン酸化膜40が最下層にある。第3のシリコン酸化膜40上に第1のシリコン酸化膜42が位置している。第1のシリコン酸化膜42は、シリコン化合物と過酸化水素との重結合反応によって形成されている。第1のシリコン酸化膜42上にキャップ層である第2のシリコン酸化膜44が位置している。

【0038】層間絶縁膜46には、第1の金属配線層38に到達するスルーホール48が形成されている。スルーホール48は、下部51と、内壁がテーパ部である上部49と、から構成されている。ここで言うテーパ部とは、スルーホール48の内壁のうち、スルーホール48の上面部から下面部に向かうにつれてスルーホール48が小さくなる部分のことである。なお、下部51においては、スルーホール48の大きさに変化はない。

【0039】層間絶縁膜46上には、第2の金属配線層64が形成されている。第1の金属配線層38と第2の金属配線層64とは、スルーホール48に充填されたアルミニウム膜を含む導電膜により電気的に接続されている。

【0040】(製造方法の説明)次に、本発明の第1の実施の形態に係る半導体装置の製造方法を説明する。図2~図8は、これを工程順に説明するための断面構造図である。

【0041】(素子の形成)図2に示すように、まず、一般的に用いられる方法によって、シリコン基板11にMOS電界効果トランジスタが形成される。具体的には、例えば、シリコン基板11上に選択酸化によってフ

ゲート絶縁膜12が形成され、アクトアブ領域にゲート酸化膜13が形成され、チルネル注入により、チルネル電圧を調整した後、ドライFETを熱分解して成長させたシリコン酸化膜14上にタクマシーナルサブをスパッタし、さらにシリコン酸化膜13を積層し、さらに所定ハフターによってこれをにより、ゲート電極14が形成される。

【0042】次いで、シリコン酸化膜13をイオン注入することによりソース領域あるいはドレイン領域の低濃度不純物層15が形成される。次いで、ゲート電極14のサイドにシリコン酸化膜からなる側壁スペーサー17が形成された後、ヒ素をイオン注入し、ハロゲンランプを用いたアーナー処理によって不純物の活性化を行うことにより、ソース領域あるいはドレイン領域の高濃度不純物層16が形成される。

【0043】次に、100nm以下のCVDシリコン酸化膜を形成し、該膜をHFとNH<sub>4</sub>Fの混合水溶液で選択的にエッチングすることにより、所定のシリコン基板領域を露出させる。続いて、例えばチタンを30~100nm程度の膜厚でスパッタし、酸素を50ppm以下に制御した窒素雰囲気中において650~750°Cの温度で数秒~60秒程度の瞬間アーナーを行すことにより、開口したシリコン基板の主表面にチタンのモノシリコンサイド層が、シリコン酸化膜18上にはチタンリッチのチタンナイトライド(TiN)層が形成される。次いで、NH<sub>4</sub>OHとH<sub>2</sub>O<sub>2</sub>の混合水溶液中に浸漬すると、前記チタンナイトライド層はエッチング除去されてシリコン基板の主表面のみにチタンのモノシリコンサイド層が残る。さらに、750~850°Cのランプアーナーを行って、前記モノシリコンサイド層をダイシリコン化させて、高濃度不純物層16の表面に自己整合的にチタンシリコンサイド層19が形成される。

【0044】なお、ゲート電極14をポリシリコンのみで形成して選択エッチングで露出させた場合には、ゲート電極とソース、ドレイン領域の両者が側壁スペーサーで分離されたチタンシリコンサイド構造になる。

【0045】なお、シリコンサイド構造は、チタンシリコンサイドの代わりに、タンクステンシリコンサイド、モリブデンシリコンサイドから構成されていてもよい。

【0046】つぎに、図3に示すように、例えば、CVD法により、シリコン酸化膜を含む層間絶縁膜20を形成する。形成条件は、公知の条件を用いることができる。層間絶縁膜20は、一層構造でもよいし、多層構造でもよい。

【0047】そして、層間絶縁膜20の上に、例えば、スパッタリング法により、アルミニウム膜を含む第1の金属配線層38を形成する。第1の金属配線層38は、一層構造でもよいし、多層構造でもよい。

【0048】(層間絶縁膜46の形成)

a. 第3のシリコン酸化膜40の形成

まず、テトラエトキシラン(TEOS)と酸素とを300~500°CでプラズマCVD法で反応させることにより、膜厚50~200nmの第3のシリコン酸化膜40が形成される。このシリコン酸化膜40は、第1の金属配線層38の酸化やカスヒックもなく、また、より成長させた膜より絶縁性も高く、炭化水素の水溶液に対するエッチング速度も遅く、緻密な膜となる。

【0049】b. 第1のシリコン酸化膜42の形成

次に、好ましくは2~5~10~20~100Pa以下、より好ましくは0~3~10~20~100Paの減圧下において、窒素ガスをキャリアとして、SiH<sub>4</sub>およびH<sub>2</sub>O<sub>2</sub>をCVD法により反応させることにより、第1のシリコン酸化膜42を形成する。第1のシリコン酸化膜42は、少なくとも、下層の第3のシリコン酸化膜40の段差より大きい膜厚を有し、つまり該段差を十分にカバーする膜厚で成膜される。また、第1のシリコン酸化膜42の膜厚の上限は、該膜中にクラックが生じない程度に設定される。具体的には、第1のシリコン酸化膜42の膜厚は、より良好な平坦性を得るために、下層の段差より厚いことが望ましく、好ましくは300~1500nmに設定される。

【0050】第1のシリコン酸化膜42の成膜温度は、該膜の成膜時の流動性に関与し、成膜温度が高いと膜の流動性が低下して平坦性を損なうので、成膜時の温度は好ましくは0~20°C、より好ましくは0~10°Cに設定される。

【0051】また、H<sub>2</sub>O<sub>2</sub>の流量は特に制限されないが、例えば濃度は55~65体積%で、SiH<sub>4</sub>の2倍以上の流量であることが好ましく、膜の均一性並びにスループットの点から、例えばガス換算で100~1000SCCMの流量範囲に設定されることが望ましい。

【0052】この工程で形成される第1のシリコン酸化膜42は、シラノールポリマーの状態にあり、流動性がよく、高い自己平坦化特性を有する。また、第1のシリコン酸化膜42は、多くの水酸基(-OH)を含むために吸湿性も高い状態にある。

【0053】c. 第2のシリコン酸化膜44の形成

次に、チャンバ内で減圧下で30~120秒間放置し、第1のシリコン酸化膜42中の水分を多少除去した後、続けて、SiH<sub>4</sub>、PH<sub>3</sub>およびN<sub>2</sub>Oの存在下において、温度300~450°Cで200~600kHzの高周波数でプラズマCVD法によってガスを反応させることにより、膜厚100~600nmのPSG膜(第2のシリコン酸化膜)44が形成される。この第2のシリコン酸化膜44は、前記第1のシリコン酸化膜42の吸湿性が高いことを考慮して、前記第1のシリコン酸化膜42の形成に続いて連続的に形成されるか、あるいは第1のシリコン酸化膜42が水分を含まない雰囲気中で保存された後に形成されることが望ましい。

【0054】また、第2のシリコン酸化膜44は、後に

行われるアニール処理によって前記第1のシリコン酸化膜42中に含まれる水、水素などのガス化成分の脱離が容易かつ十分に行われることを考慮して、ポーラス(多孔性)であることが必要である。そのためには、第2のシリコン酸化膜44は、例えば温度が好ましくは150°C以下、より好ましくは300~400°C、好ましくは1MHz以下、より好ましくは200~600kHzのプラズマCVD法によって成膜され、かつリンなどの不純物を含むことが望ましい。第2のシリコン酸化膜44にこのような不純物が含まれることにより、第2のシリコン酸化膜44は、よりポーラスな状態となって膜に対するストレスを緩和できるだけでなく、アルカリイオン等に対するゲッタリング効果も持ち合わせることができる。このような不純物の濃度は、ゲッタリング効果、耐ストレス性などの点を考慮して設定される。例えば、不純物がリンの場合には、2~6重量%の割合で含まれることが望ましい。

【0055】また、プラズマCVDにおいて、酸素を含む化合物としてN<sub>2</sub>Oを用いることにより、第1のシリコン酸化膜42中の水素ボンドの脱離が促進される。その結果、第1のシリコン酸化膜42に含まれる水分および水素などのガス化成分をより確実に除去することができる。

【0056】この第2のシリコン酸化膜44の膜厚は、必要とされる層間絶縁膜の厚みを調整する役割と、N<sub>2</sub>Oプラズマが水素ボンドを脱離する機能を考慮して、好ましくは100nm以上、より好ましくは200~600nmに設定される。

#### 【0057】d. アニール処理

次に、窒素雰囲気中で、温度350~500°Cでアニール処理を行う。このアニール処理によって、前記第1のシリコン酸化膜42および第2のシリコン酸化膜44はより緻密化され、良好な絶縁性並びに耐水性を有する。すなわち、アニール温度を350°C以上に設定することにより、第1のシリコン酸化膜42でのシラノールの縮重合反応がほぼ完全に行われ、該膜中に含まれる水および水素が十分に放出されて緻密な膜を形成することができる。また、アニール温度を500°C以下に設定することにより、第1の金属配線層38を構成するアルミニウム膜に悪影響を与えることがない。アニール温度は許される限り、高い方が好ましい。なぜなら、(1)層間絶縁膜の絶縁性の向上、(2)後工程における熱処理によ

エッティング装置 反応性イオンエッティング装置

エッティングガス CF<sub>4</sub>とCHF<sub>3</sub>(不活性ガスとしてAr、He又はNe)

チャンバ内温度 室温~100°C

チャンバ内圧力 0.02~0.5 torr

高周波パワー 300~1000W

この条件下で、第1のシリコン酸化膜42及び第3のシリコン酸化膜40のエッティング速度は、8~11nm/秒であった。

\*り、層間絶縁膜が悪影響を受けにくい、からである。

【0058】アニール処理においては、第1のシリコン酸化膜42に対する熱ひずみの影響を小さくするために、段階的にもしくは連続的にウェハの温度を上げる、ランピングアニールを行うことがより望ましい。

【0059】なお、層間絶縁膜46が、シリコン基板11の主表面と第1の金属配線層38との間(層間絶縁膜20の形成位置)にある場合、500°C以上でアニール処理を行うことができる。アルミ配線が形成されていないからである。

【0060】(スルーホールの形成)図4に示すように、層間絶縁膜46上にレジスト66を形成する。そして、レジスト66を選択露光し、現像して開口部68を形成する。

【0061】図6に示すように、HFを含む水溶液を用いて、層間絶縁膜46を選択的に等方性エッティングする。このエッティングを、第1のシリコン酸化膜42のエッティングの途中で止める。これにより、スルーホールの上部49が形成される。上部49の内壁はテーパ部となっている。条件としては、以下の(1)、(2)を例示できる。

#### 【0062】条件(1)

エッティング液 HF:NH<sub>4</sub>F=1:6

エッティング液の温度 室温

層間絶縁膜46のアニール温度 450°C

この条件下で、第1のシリコン酸化膜42及び第2のシリコン酸化膜44のエッティング速度は、約4.3nm/秒であった。

#### 【0063】条件(2)

30 エッティング液 HF:NH<sub>4</sub>F=1:20

エッティング液の温度 室温

層間絶縁膜46のアニール温度 450°C

この条件下で、第1のシリコン酸化膜42及び第2のシリコン酸化膜44のエッティング速度は、約1.1nm/秒であった。

【0064】図7に示すように、上部49の下の層間絶縁膜46を選択的に異方性エッティングする。このエッティングにより、第1の金属配線層38の一部を露出させる。これにより、スルーホールの下部51が形成される。条件としては、以下を例示できる。

#### 【0065】

エッティング装置 反応性イオンエッティング装置

エッティングガス CF<sub>4</sub>とCHF<sub>3</sub>(不活性ガスとしてAr、He又はNe)

チャンバ内温度 室温~100°C

チャンバ内圧力 0.02~0.5 torr

高周波パワー 300~1000W

\*【0066】そして、レジスト66を除去した。

【0067】以上のような等方性エッティング及び異方性

\*50 エッティングにより、テーパ部を有するスルーホール48

が完成する。このような形態をしたスルーホール4-8では、後述するように、アルミニウム膜の良好な堆積が可能である。

【007-1】脱ガス処理：まず、脱ガス工程を含む熱処理Aについて説明する。ランプチャンバ内に、1.5×10<sup>-4</sup>Pa以下のベース圧力、150～250°Cの温度で30～60秒間のランプ加熱・熱処理Aを施す。次いで、別のチャンバで1.1Pa～1.5Pa、100°Cの圧力でアルゴンガスを導入し、300～500°Cの温度で、300～300秒間の熱処理（脱ガス工程・熱処理B）を行うことによって、脱ガス処理を行う。

【007-2】この工程においては、まず、熱処理Aにおいて、主として、ウエハの裏面および側面を含むウエハ全体を加熱処理することにより、ウエハに付着している水分などを除去できる。

【007-3】さらに、熱処理Bにおいて、主として、層間絶縁膜4-6を構成する第1のシリコン酸化膜4-2中のガス化成分(H<sub>2</sub>, H<sub>2</sub>O)を除去することができる。その結果、次工程のバリア層およびアルミニウム膜の形成時に、層間絶縁膜4-6からのガス化成分の発生が防止できる。

【007-4】本実施の形態においては、ウェッティング層、例えばTi膜は数十原子%のガス化成分(O, H, H<sub>2</sub>O, N)を固溶することから、この膜を形成する前に、層間絶縁膜4-6中のガス化成分を除去することが、スルーホール4-8内でのアルミニウム膜の成膜を良好に行う上で、極めて有効である。ウェッティング層の下位の層間絶縁膜4-6中のガス化成分を十分に除去しておかないと、ウェッティング層の形成時の温度（通常、300°C以上）で、層間絶縁膜4-6中のガス化成分が放出され、このガスがウェッティング層中に取り込まれる。さらに、このガスがアルミニウム膜の成膜時にウェッティング層から離脱してウェッティング層とアルミニウム膜との界面に出てくるため、アルミニウム膜の密着性や流動性に悪影響を与える。

【007-5】（ウェッティング層の成膜）図8に示すように、スパッタ法により、ウェッティング層5-0を構成する膜として、チタン膜を20～70nmの膜厚で形成する。スパッタの温度は、膜厚に応じて、200～450°Cの範囲で選択される。

【007-6】（アルミニウム膜の成膜前の脱ガス処理およびウエハの冷却）図8に示すように、まず、ウエハの冷却を行う前に、ランプチャンバ内において、1.5×10<sup>-4</sup>Pa以下のベース圧力、150～250°Cの温度で30～60秒間の熱処理（熱処理C）を行い、基板に付着した水などの物質を除去する。その後、アルミニウム膜を成膜する前に、基板温度を100°C以下、好ましくは常温～50°Cの温度に下げる。この冷却工程は、上記熱処理Cにより上昇した基板温度を下げるために重要

なもので、例えば水冷機能を有するステージ上にウエハを載置して該ウエハ温度を所定温度まで下げる。

【007-7】このようにウエハの冷却を行うことにより、第1のアルミニウム膜5-2を成膜する際に、層間絶縁膜4-6およびウェッティング層5-0、さらにウエハ全面から放出されるガス量を極力少なくてすることができる。その結果、ウェッティング層5-0と第1のアルミニウム膜5-2との界面に吸着する、ガスの影響を防ぐことができる。

【007-8】（アルミニウム膜の成膜）図8に示すように、まず、200°C以下、より好ましくは300～400°Cの温度で、0.2～1.0重量%の銅を含むアルミニウムを膜厚150～300nmでスパッタによって高速度で成膜し、第1のアルミニウム膜5-2が形成される。続いて、同一チャンバ内で基板温度420～460°Cに加熱して、同様に銅を含むアルミニウムをスパッタにより低速度で成膜し、膜厚300～600nmの第2のアルミニウム膜5-4が形成される。ここで、アルミニウム膜の成膜において、「高速度」とは、成膜条件や製造されるデバイスの設計事項によって一概に規定できないが、およそ10nm/秒以上のスパッタ速度を意味し、「低速度」とは、およそ3nm/秒以下のスパッタ速度を意味する。

【007-9】図9に、第1および第2のアルミニウム膜5-2, 5-4を成膜するためのスパッタ装置の一例を示す。このスパッタ装置は、チャンバ5-5内に、電極をかねるターゲット5-6およびステージをかねる電極5-7を有する。電極5-7上には処理される基板（ウエハ）Wが設置される。チャンバ5-5には、第1のガス供給路5-8が接続され、電極5-7には、第2のガス供給路5-9が接続されている。ガス供給路5-8, 5-9からは、いずれもアルゴンガスが供給される。そして、第2のガス供給路5-9から供給されるガスによって、ウエハWの温度が制御される。なお、チャンバ5-5内のガスを排出するための手段は図示しない。

【007-10】このようなスパッタ装置を用いて基板温度をコントロールした一例を図10に示す。図10において、横軸は経過時間を示し、縦軸は基板（ウエハ）温度を示す。また、図10において、符号aで示すラインはスパッタ装置のステージ5-7の温度を350°Cに設定したときの基板温度変化を示し、符号bで示すラインは第2のガス供給路5-9を通して高温のアルゴンガスをチャンバ内に供給することによってステージ5-7の温度を高めていたときの基板温度の変化を示している。

【007-11】例えば、基板の温度制御は以下のように行われる。まず、ステージ5-7の温度は、予め、第2のアルミニウム膜を形成するための温度（350～400°C）に設定されている。第1のアルミニウム膜を形成する際には、第2のガス供給路5-9からのガスの供給はなく、基板温度はステージ5-7による加熱によって、図1

0の符号aで示すように徐々に上昇する。第2のアルミニウム膜を形成する際には、第2のガス供給路54を介して加熱されたガスが供給されることによって図10の符号bで示すように、基板温度は急激に上昇し、所定の温度で一定になるよう制御される。

【0079】図10に示す例では、スパーク温度が30℃で設定され、そして、基板温度が125、150℃に設定されている間に第1のアルミニウム膜52が成膜され、その後すぐに第2のアルミニウム膜54の成膜が行われる。

【0080】アルミニウム膜の成膜においては、成膜速度および基板温度制御とともに、スパッタ装置に印加されるパワーの制御も重要である。つまり、成膜速度とも関連するが、第1のアルミニウム膜52の成膜は高いパワーで行われ、第2のアルミニウム膜54は低いパワーで行われ、さらに高いパワーから低いパワーに切り換える際にパワーをゼロにしないことが重要である。パワーをゼロにすると、減圧下においても第1のアルミニウム膜の表面に酸化膜が形成され、第1のアルミニウム膜に対する第2のアルミニウム膜の潤滑性が低下し、両者の密着性が悪くなる。言い換れば、パワーを常に印加することにより、成膜中のアルミニウム膜の表面に活性なアルミニウムを供給し続けることができ、酸化膜の形成を抑制できる。なお、パワーの大きさは、スパッタ装置や成膜条件などに依存し一概に規定できないが、例えば図10に示す温度条件の場合、高パワーが5~10kW、低パワーが300W~1kWに設定されることが望ましい。

【0081】このように、同一チャンバ内で第1のアルミニウム膜52および第2のアルミニウム膜54を連続的に成膜することにより、温度およびパワーの制御を厳密に行うことができ、従来よりも低温でかつ安定したアルミニウム膜を効率よく形成することが可能となる。

【0082】前記第1のアルミニウム膜52の膜厚は、良好なステップカバレッジで連続層を形成することができること、並びに該アルミニウム膜52より下層のウェッティング層50および層間絶縁膜46からのガス化成分の放出を抑制することなどを考慮して、適正な範囲が選択されるが、例えば100~300nmが望ましい。また、第2のアルミニウム膜54は、スルーホール48の大きさ並びにそのアスペクト比などによって決定されるが、例えばアスペクト比が3程度で、5μm以下のホールを埋めるためには、300~800nmの膜厚が必要である。

【0083】(反射防止膜の成膜)さらに、別のスパッタチャンバで、スパッタによりTiNを堆積することにより、膜厚30~80nmの反射防止膜62が形成される。

【0084】図1に示すように、その後、C1とBC1のガスを主体とする異方性ドライエッチング装置で

前記ウェッティング層50、第1のアルミニウム膜52、第2のアルミニウム膜54および反射防止膜62からなる堆積層を選択的にエッチングして、第2の金属配線層64のバターニングを行う。

【0085】このようにして形成された第2の金属配線層64では、スルーホール48内において、エイドを発生させることなく良好なステップカバレッジでアルミニウムが埋め込まれることが確認された。

【0086】(主な効果の説明)

10 (1) 第1の実施の形態によれば、SiH<sub>4</sub>およびH<sub>2</sub>O<sub>2</sub>をCVD法により反応させることにより、第1のシリコン酸化膜42を形成している。第1のシリコン酸化膜42の等方性エッチングの速度は、第2のシリコン酸化膜44(キャップ層)とそれと同じ又はほぼ同じである。このため、第1のシリコン酸化膜も等方性エッチングをすることができる。よって、本発明の製造方法によれば、等方性エッチングの自由度を増加させることができる。等方性エッチングの自由度が増加すると、スルーホール48の上部49(内壁がテーパ部)を深くできる。したがって、スルーホール48に、エイドを発生させることなく良好なステップカバレッジでアルミニウムを埋め込むことができる。また、これにより、この上に形成される層の平坦性を向上させることができ。

20 【0087】(2) 第1の実施の形態によれば、SiH<sub>4</sub>およびH<sub>2</sub>O<sub>2</sub>をCVD法による反応によって得られる、シラノールを含む第1のシリコン酸化膜42を形成することにより、極めて良好な平坦性を有する層間絶縁膜46を形成することができる。よって、配線層の加工などを含めたプロセスマーチンを増加させ、品質および歩留まりを向上させることができる。

30 【0088】特に、層間絶縁膜46をシリコン基板11の主表面と第1の金属配線層38との間(層間絶縁膜46の形成位置)に形成した場合、次のことが言える。層間絶縁膜46は、従来のBPSG膜のリフロー温度に比べ、かなり低温で平坦化された膜となるため、パンチスルーや接合リードなどの点で特性を改善することができ、したがって、素子の微細化および信頼性の高いコンタクト構造を達成することができ、また製造プロセス上も有利である。

40 【0089】(3) 第1の実施の形態によれば、アルミニウム膜のスパッタ前に少なくとも脱ガス工程と冷却工程を含み、さらに好ましくは同一チャンバ内で連続的にアルミニウム膜を成膜することにより、0.1~2μm程度までのスルーホール48をアルミニウムあるいはアルミニウム合金だけ埋め込むことが可能となり、信頼性および歩留まりの点で向上がはかれた。また、コンタクト部を構成するアルミニウム膜における銅等の偏析や結晶粒の異常成長もなく、マイグレーション等を含めた信頼性の点でも良好であることが確認された。

50 【0090】第1の実施の形態において、スルーホール

18に、第1および第2のアルミニウム膜52、54が良好に埋め込まれた理由としては、上記したスルーホール44の形状のほか、以下のことが考えられる。

【00091】(a) 脱ガス工程を行なうことにより、層間絶縁膜46に含まれる水蒸素をかくはんしてガスに放出することにより、上記の第1のアルミニウム膜52、54の成膜において、層間絶縁膜46もやウェーティング層48も、ガスの発生を防止することと、ウェーティング層48を第1のアルミニウム膜52との密着性を高め、良好なスルーホール44の成膜が可能であったこと。

【00092】(b) 第1のアルミニウム膜52の成膜において、基板温度を200°C以下に比較的低温に設定することにより、層間絶縁膜46およびウェーティング層48に含まれる水分や窒素を放出させないようにして、前記脱ガス工程の効果に加えて第1のアルミニウム膜52の密着性を高めたこと。

【00093】(c) さらに、第1のアルミニウム膜52自体が、基板温度が上がった場合に下層からのガスの発生を抑制する役割を果たすため、次の第2のアルミニウム膜54の成膜を比較的高い温度で行なうことができ、第2のアルミニウム膜の流動拡散を良好に行なうことができる。

【00094】他の実施の形態 本発明は上記第1の実施の形態に限定されず、その一部を以下の手段で置き換えることができる。

【00095】(1) 第1の実施の形態においては、第2のシリコン酸化膜44のアラズマCVDによる成膜時に、酸素を含む化合物として一酸化二窒素を用いたが、その代わりにオゾンを用いることもできる。そして、第2のシリコン酸化膜44を形成する前に、ウエハをオゾン雰囲気にさらすことが望ましい。

【00096】例えば、図1-1に示すベルト炉を用い、ヒーターS2によって400～500°Cに加熱された搬送ベルトS1上にウエハWを載置して所定の速度で移動させる。このとき、第1のガスヘッドS6aからオゾンを供給し、2～8重量%のオゾン雰囲気中を前記ウエハWを5分以上の時間をかけて通過させる。次いで、第2および第3のガスヘッドS6b、S6cからオゾン、TEOSおよびTMP( $P(OCH_3)_4$ )をほぼ常圧で供給し、リンの濃度が3～6重量%のPSG膜(第1のシリコン酸化膜)44を、膜厚100～600nmで成膜する。なお、図1-1において符号S4は、カバーを示す。

【00097】このように一酸化二窒素の代わりにオゾンを用いることにより、常圧CVDによってTEOSによるシリコン酸化膜を形成することができる。また、ベルトが用いることにより、成膜を連続的に効率よく行なうことができる。

【00098】また、オゾン雰囲気中にウエハWをさらすことにより、熱脱離スペクトル(TDS)および赤外分光法(FTIR)によって、第1のシリコン酸化膜42

は吸湿性や水分が十分少ないこと、反応ガスとして一酸化二窒素を用いた場合と同様に層間絶縁膜46の平坦性が良好であること、および第1のシリコン酸化膜44にクラックが発生しないことが確認された。

【00099】(2) 第1の実施の形態では、第2のシリコン酸化膜44として、アラズマCVDによりTEOSを用いたシリコン酸化膜を用いたが、これに代わり他のシリコン酸化膜を用いてもよい。特に、層間絶縁膜46の形成位置にある場合、一例えは、このように第3のシリコン酸化膜として、セラシランと一酸化二窒素を用いた高温減圧熱CVD法によって形成した膜でもよい。このシリコン酸化膜は、下地の表面形状に忠実に成膜され、カバーリング性がよいだけでなく、緻密であるのでバッシバーペーション機能が高く、さらにアニール処理において急速に昇温しても第1のシリコン酸化膜42にクラックが発生しにくい。また、熱CVD法を用いるため、アラズマダメージがない利点がある。ここでいう高温とは、700～850°Cのことである。

【0100】(3) 第1の実施の形態では、層間絶縁膜46は、3層のシリコン酸化膜から構成されているが、これに限らず他のシリコン酸化膜を加えてもよい。例えば、第3のシリコン酸化膜40と第1のシリコン酸化膜42との間に、アラズマCVD法により形成された、膜厚100～300nmのPSG膜(リンの濃度:1～6重量%)を形成してもよい。このPSG膜を入れることにより、可動イオンのキャターリング機能がさらに向上することが確認された。また、このPSG膜を入れることにより、第1のシリコン酸化膜42に作用する第3のシリコン酸化膜40の内部応力を減少及び第3のシリコン酸化膜40に作用する第1のシリコン酸化膜42の内部応力を減少させることができる。

【0101】また、例えば、第2のシリコン酸化膜44の平坦性が不十分な場合、次のようにすることができる。第2のシリコン酸化膜44の上に、厚いシリコン酸化膜を形成し、これをさらにCMPによって平坦化するのである。

#### 【図面の簡単な説明】

【図1】本発明の第1の実施の形態に係る半導体装置の断面構造図である。

【図2】本発明の第1の実施の形態に係る半導体装置の製造方法の第1工程を示す断面構造図である。

【図3】本発明の第1の実施の形態に係る半導体装置の製造方法の第2工程を示す断面構造図である。

【図4】本発明の第1の実施の形態に係る半導体装置の製造方法の第3工程を示す断面構造図である。

【図5】本発明の第1の実施の形態に係る半導体装置の製造方法の第4工程を示す断面構造図である。

【図6】本発明の第1の実施の形態に係る半導体装置の製造方法の第5工程を示す断面構造図である。

【図7】本発明の第1の実施の形態に係る半導体装置の

製造方法の第6工程を示す断面構造図である

【図8】本発明の第1の実施の形態に係る半導体装置の製造方法の第7工程を示す断面構造図である。

【図9】本発明に係る実施の形態に用いられるスパッタ装置の一例を模式的に示す図である。

【図10】図9に示すスパッタ装置を用いて基板温度を制御したときの、時間と基板温度との関係を示す図である。

【図11】本発明に係る実施の形態に用いられるベルト炉を模式的に示す図である。

【符号の説明】

- 11 シリコン基板
- 12 フィールド絶縁膜
- 13 ゲート酸化膜
- 14 ゲート電極
- 15 低濃度不純物層
- 16 高濃度不純物層

17 側壁スペーサ

18 シリコン酸化膜

19 チタンシリサイト層

20 層間絶縁膜

38 第1の金属配線層

40 第3のシリコン酸化膜

42 第1のシリコン酸化膜

44 第2のシリコン酸化膜

46 層間絶縁膜

10 48 スルーホール

49 上部

50 ウェッティング層

51 下部

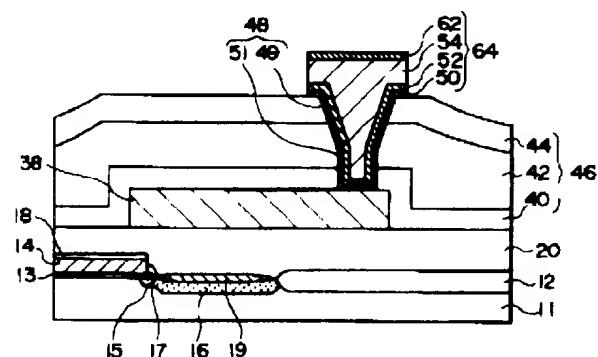
52 第1のアルミニウム膜

54 第2のアルミニウム膜

62 反射防止膜

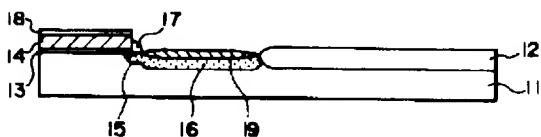
64 第2の金属配線層

【図1】

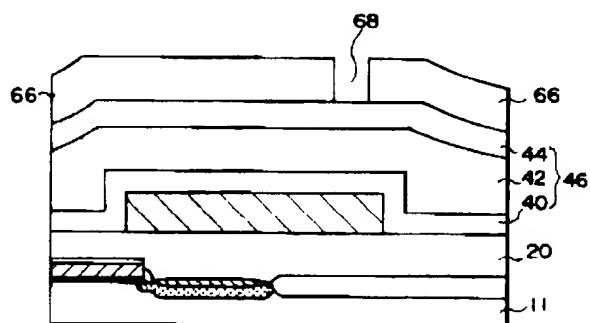


- 11 シリコン基板
- 42 第1のシリコン酸化膜
- 44 第2のシリコン酸化膜
- 46 層間絶縁膜
- 48 スルーホール
- 49 上部
- 51 下部
- 64 第2の金属配線層

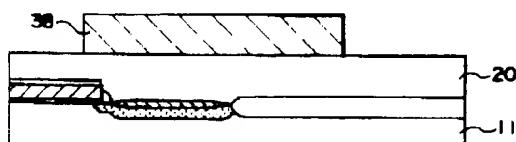
【図2】



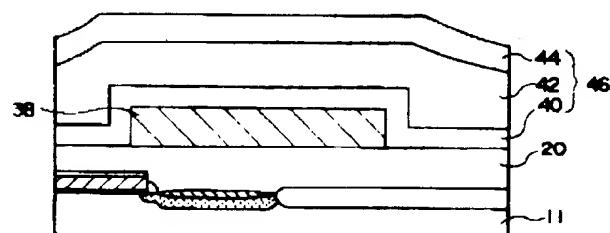
【図5】



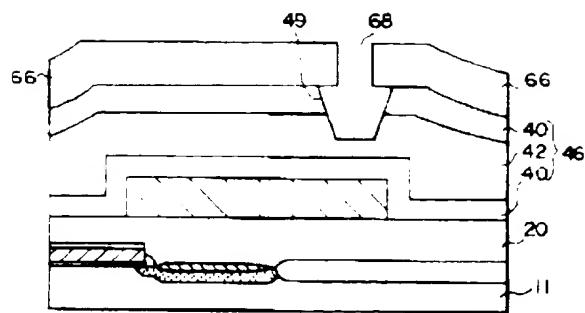
【図3】



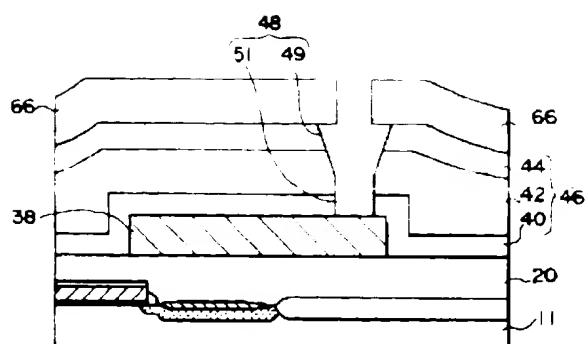
【図4】



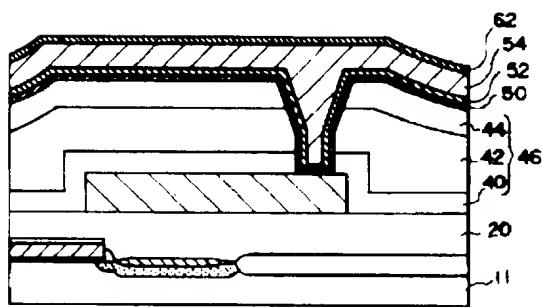
【図6】



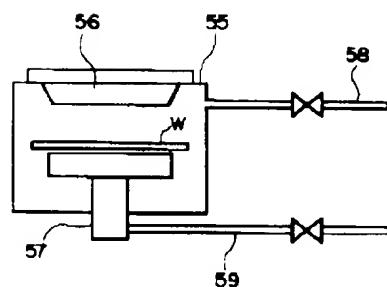
【図7】



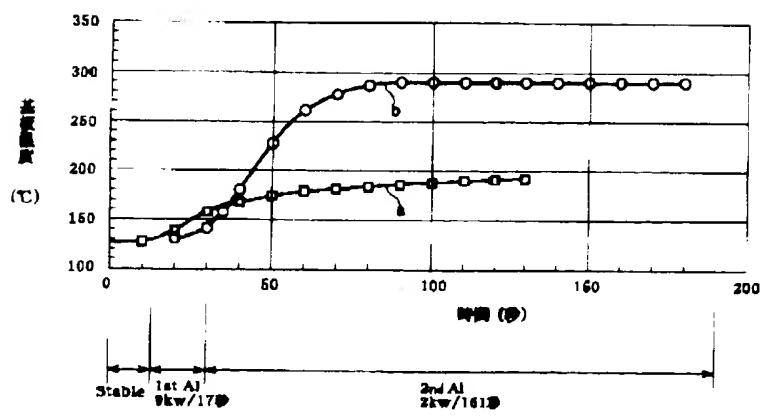
【図8】



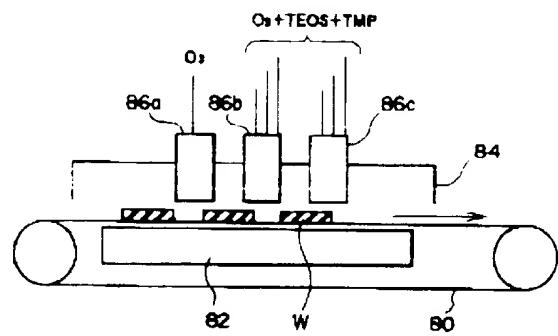
【図9】



【図10】



【図11】



フロントページの続き

Fターム(参考) 5F033 HH04 HH08 HH09 HH18 HH28  
 HH33 JJ01 JJ08 JJ09 JJ18  
 JJ28 KK08 MM07 MM08 NN32  
 PP15 PP18 QQ03 QQ08 QQ09  
 QQ10 QQ13 QQ16 QQ19 QQ22  
 QQ37 QQ73 QQ74 QQ82 QQ84  
 QQ85 QQ88 QQ98 RR04 RR14  
 SS01 SS02 SS03 SS04 SS12  
 SS13 SS15 TT02 WW03 WW10  
 XX01 XX02 XX13 XX19  
 5F058 BA04 BD02 BD04 BF04 BF07  
 BF23 BF24 BF25 BF27 BF29  
 BF32 BF33 BH01 BH20 BJ01  
 BJ02

